

(19)日本国特許庁 (JP)

(12) 特許公報 (B2)

(11)特許出願公告番号

特公平8-28520

(24) (44)公告日 平成8年(1996)3月21日

(51)IntCl.  
H 01 L 29/786  
21/336  
27/12

識別記号 庁内整理番号  
R  
9056-4M  
9056-4M

F I

技術表示箇所

H 01 L 29/78 618 E  
627 G

請求項の数 7 (全 6 頁) 最終頁に続く

(21)出願番号 特願平3-50793  
(22)出願日 平成3年(1991)2月22日  
(65)公開番号 特開平4-267563  
(43)公開日 平成4年(1992)9月24日

(71)出願人 000153878  
株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地  
(72)発明者 山崎 舜平  
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内  
(72)発明者 竹村 保彦  
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

審査官 河本 充雄

(56)参考文献 特開 昭60-245172 (JP, A)  
特開 昭60-109282 (JP, A)  
特開 昭62-254458 (JP, A)

(54)【発明の名称】薄膜半導体装置およびその製法

1

【特許請求の範囲】

【請求項1】絶縁ゲート型電界効果素子で、チャネル形成領域は非単結晶半導体上に形成された多結晶半導体であり、ソースもしくはドレイン領域の少なくも一方は、その底面が前記チャネル領域の底面より下に位置し、多結晶半導体から形成されていることを特徴とする半導体装置。

【請求項2】請求項1において、チャネル形成領域の下部の非単結晶半導体は、非結晶半導体であることを特徴とする半導体装置。

【請求項3】請求項1において該半導体装置は単結晶半導体基板上に形成されたことを特徴とする。

【請求項4】非単結晶半導体層を形成する工程と、該非単結晶半導体層の表面を単結晶もしくは多結晶化する工程と、ゲート絶縁膜となるべき絶縁膜を形成する工程

2

と、該絶縁膜上に半導体被膜を選択的に形成してゲート電極とする工程と、該ゲート電極をマスクとして、該ゲート電極および該非単結晶半導体層のゲート電極の下部を除いた部分を単結晶もしくは多結晶化する工程とを有する半導体装置の作製方法。

【請求項5】請求項4において、非単結晶半導体層の単結晶もしくは多結晶化はレーザーもしくはそれと同等な強光の照射によってなされることを特徴とする半導体装置の作製方法。

【請求項6】非単結晶半導体層を形成する工程と、該非単結晶半導体層の表面を第1のレーザー光もしくは同等な強光の照射によって単結晶もしくは多結晶化する工程と、ゲート絶縁膜となるべき絶縁膜を形成する工程と、該絶縁膜上に半導体被膜を選択的に形成してゲート電極とする工程と、該ゲート電極をマスクとして、第1のレ

レーザー光もしくは同等な強光よりも波長の長い第2のレーザー光もしくは同等な強光を照射することによって該ゲート電極および該非単結晶半導体層のゲート電極の下部を除いた部分を単結晶もしくは多結晶化する工程とを有する半導体装置の作製方法。

【請求項7】請求項6において第1のレーザー光もしくは同等な強光は紫外線であり、第2のレーザー光もしくは同等な強光は可視光線もしくは赤外線であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は薄膜型電界効果半導体装置、いわゆるTFTの構造および作製方法に関する。TFTは、高集積化半導体装置（超LSI）や液晶ディスプレイ駆動装置等に用いられる。

【0002】

【従来の技術】TFTはこれまで様々な構造のものや作製方法が提案されてきた。その基本構造を図1に示す。これはコプラナー型と言われるもので、絶縁性の基板101の上に半導体層102が設けられる。TFTの動作が高速性を要求される場合には単結晶半導体もしくは多結晶半導体が用いられる。通常の絶縁ゲート型半導体装置と同様に不純物をドープして導電性を高めたソース領域103とドレイン領域104がゲート電極106をマスクとして、いわゆるセルフアライン方式によって形成され、該ソース領域とドレイン領域の間にチャネル形成領域105が形成される。そして、素子全体を覆って層間絶縁膜107が形成され、ソースおよびドレイン領域に電極形成用の穴が開けられ、ソース電極108、ドレイン電極109が形成される。一般にソース領域およびドレイン領域の深さは、半導体層102の厚さと同じか、それ以下というのが通常で、特にゲート絶縁膜近傍の半導体層と絶縁基板近傍の半導体層とでは特に結晶性が異なるように設計されることはない。

【0003】一般にTFTは結晶性のよくない単結晶もしくは多結晶半導体層をチャネル形成領域を含む半導体領域に使用し、図1に示される通常の構造のTFTでは、半導体層102には、欠陥が多く、そのためこれらの欠陥に起因する動作不良が多く発生する。その典型的な現象としてはスローリーク現象が挙げられる。

【0004】これは本来ならば、図3(B)に示されるように、チャネルの形成されるはずのないゲート電圧条件下、すなわち、しきい値電圧( $V_{th}$ )以下の条件のもとでも図3(A)のようにドレイン電流( $I_d$ )とゲート電圧( $V_g$ )との関係がなだらかな曲線を描いてしまうことである。このとき、すなわち、ゲート電圧が $V_{th}$ 以下の場合でもソース、ドレイン間に電流が流れ、実質的にゲート電圧によってドレイン電流を制御することが不能となる。このとき $V_{th}$ 以下のゲート電圧で自然に流れる電流をパンチスルーレ電流という。

【0005】このパンチスルーレ電流はチャネル表面よりもかなり深い通路に沿ってソース、ドレイン間を流れている。したがって、この通路の抵抗を上げてやればパンチスルーレ電流を抑制することができる。しかしながら、そのような構造を有する実施可能なTFTは、これまで提案されていなかった。

【0006】

【発明の解決する課題】本発明は上記に示す如きスローリーク等の問題点のないようにTFTの構造を改良すること、およびその作製方法を示すことを目的とする。

【0007】

【課題を解決しようとする手段】本発明によるTFTは図2にその基本的な構造が示される。TFTの主要な構造は従来のものとほぼ同じであるが、従来のTFTが一律に単結晶あるいは多結晶化した半導体層102を用いていたのに対し、本発明では図2に示すように、半導体層202の結晶化度を場所によって異ならせる。すなわち、A-A' - B-B' - C-C'で示される領域より上の領域をキャリヤー移動度の大きい、結晶性のよい20単結晶あるいは多結晶性の半導体とし、その他の部分をそれよりも比較的移動度の小さい非結晶質、あるいはマイクロクリスタル、あるいはアモルファス、あるいはセミアモルファスと呼ばれるような半導体材料で構成する。

【0008】しかも、この構造において注目すべきことは、チャネル形成領域となりうる比較的浅い領域を選択的に結晶化させたことであり、この結果、スローリーク現象は著しく改善される。なぜならば、スローリーク現象のもととなるパンチスルーレ電流はゲート絶縁膜より深い部分を流れるのであるが、図2で示される構造ではその部分は抵抗の高い材料で構成されているため深い部分のスローリーク電流は極めて少なく、相対的にチャネル形成領域で制御できる電流が多くなるからである。このようにして、図3(B)で示されるような特性のTFTを得ることができる。

【0009】図2では明確に示されていないが、ソース領域203およびドレイン領域204を構成する半導体部分と、チャネル形成領域205を構成する半導体部分は必ずしも同時に作製される必要はない、また、同一の40結晶性を有する必要もない。例えば、チャネル形成領域部分の半導体材料は実質的に単結晶質のもので、ソース領域およびドレイン領域を形成する部分の半導体材料は多結晶質のものであっても構わない。さらに、本発明は上記の如き、ソース領域、ドレイン領域、チャネル形成領域を構成する結晶性がよく移動度の大きな材料と、その他の部分の半導体材料とを、絶対的に特定するものではない。本発明の技術思想の1つは、チャネル形成領域の下部に存在する半導体層の抵抗をチャネル形成領域に比して大きくせしめることであるから、移動度の相対的な大小が問題となる。

【0010】したがって、例えば、ソース、ドレインおよびチャネル形成領域を実質的に単結晶の材料で構成し、その他の領域をそれより移動度の小さな、粒径が10~100nmの多結晶の材料で構成することも可能である。また、ソース、ドレインおよびチャネル形成領域を粒径1~10nmのマイクロクリスタルもしくはセミアモルファス材料で構成し、その他の領域をそれより移動度の小さなアモルファス材料で構成することも可能である。

【0011】本発明の目的とする構造を有するTFTは、例えば以下のようにして作製される。まず、従来のように、基板401上に半導体の被膜402が選択的に形成される。この半導体被膜402は、後にソース、ドレインおよびチャネル形成領域以外の領域の半導体材料となるため、後に形成されるソース、ドレインおよびチャネル形成領域よりも移動度の小さな材料で構成される必要がある。こうして図4(A)を得る。

【0012】次に、例えばレーザーアニールやフラッシュランプアニール等の方法によって半導体被膜402の表面近傍を多結晶化あるいは単結晶化させ、移動度の大きな領域402aを形成する。こうして図4(B)を得る。

【0013】さらに、ゲート絶縁膜となりうる薄い絶縁膜を半導体層の表面に形成し、その上にアルミニウム、モリブデン、タンクスチタン等の金属もしくは珪素、ゲルマニウム、ガリウムヒソ等の半導体材料、あるいはそれらの多層積層物もしくはそれらの合金によってゲート電極406を形成する。こうして作製されたゲート電極は、後のイオン注入あるいはアニールの工程によってダメージを受ける可能性があるため、必要によってその上にレジスト等の保護膜を形成する。こうして図4(C)を得る。

【0014】そして、例えばイオン注入法によって、ゲート電極をマスクとして、自己整合的に、半導体層402aおよびその下地の半導体領域に不純物イオンを注入し、後にソース領域およびドレイン領域となるべき不純物領域403と404を形成する。不純物イオンの注入工程によって、多くの場合、ゲート電極の下以外の半導体領域402aは非結晶化し、再び、移動度の小さな状態となっている。こうして、図4(D)を得る。

【0015】次に、例えばレーザーアニールやフラッシュランプアニール等の方法によって半導体被膜402aおよびその下の半導体層402をゲート電極をマスクとして単結晶化あるいは多結晶化させ、移動度の大きな領域402bを作製する。このとき、最初の結晶化工程によって得られる移動度の大きな領域402aよりも、今回の結晶化工程によって得られる移動度の大きな領域402bの方がより深くまで形成されることが必要である。しかしながら、イオン注入等によって注入された不純物イオンの分布と移動度の大きな半導体部分の分布の

位置関係について何ら制約はなく、不純物イオンが図4のように、結晶化し、移動度が大きくなつた部分よりも浅い位置に存在しても、また、その逆であつても構わない。こうして、図4(E)が得られる。

【0016】最後に従来と同様に層間絶縁膜407とソース電極408およびドレイン電極409を形成して、TFTが作製される。こうして、図4(F)が得られる。

【0017】以上の作製方法では、2段階のアニール方法に注意しなければならない。上述のように、アニールによって移動度の大きな領域を2種類作製するために、アニールの時間を変えることやレーザーアニールの場合にはレーザー光の波長を変えること、もしくはレーザーパルスの幅を変えることが必要となる。アニールの方法も、通常の熱アニールでは、結晶成長が等方的に進行し、実質的に深さ方向の制御が不可能であるため望ましくない。しかしながら、ラビッド・サーマル・アニール(RTA)法は、用いることができる。

【0018】レーザーアニールの場合、用いられるレーザーの種類としては、エキシマーレーザー、YAGレーザー、アルゴンイオンレーザー、炭酸ガスレーザー等が挙げられるが、例えば、1回目のレーザーアニールでは珪素等の半導体材料に対する吸収長が短いエキシマーレーザー光を用いて、表面から5~100nmの比較的浅い領域の結晶化を行い、2回目のレーザーアニールでは半導体材料に対する吸収長が比較的長いYAGレーザー光を用い、表面から50~1000nmの比較的深い部分まで結晶化をおこなうという方法によって、本発明の要求する形状を有する移動度の大きな半導体の領域を作製することができる。

#### 【0019】

【実施例】【実施例1】本発明の実施例を図5に示す。グロー放電プラズマCVD法によって、石英基板501上に水素化アモルファス珪素被膜を形成し、これを選択的に除去して、厚さ100~1000nm、例えば200nmの半導体被膜502を得た。成膜においては該半導体被膜中の酸素原子の数は、1立方cmあたり10の1.9乗個以下、望ましくは10の1.7乗個以下にした。これは、後のレーザーアニールの工程において、多結晶珪素の粒界に酸素原子が析出して移動度の低下をまねくことを避けるためである。さらに、この被膜にホウソイオンを1平方cmあたり10の1.0乗個から10の1.1乗個注入した。こうして図5(A)を得た。

【0020】さらに、半導体被膜502の表面にグロー放電プラズマCVD法もしくは光CVD法によって、厚さ10~100nm、例えば50nmの酸化珪素被膜もしくは窒化珪素510を形成した。そして、それらを10の-6乗torr以下に排気された高真空チャンバー中に置き、1パルスあたりのエネルギー密度が10~500mJ/平方cm、例えば100mJ/平方cmのK

r Fエキシマーレーザー(波長248nm、パルス幅10nm)光を照射して結晶化させ、多結晶層502aを得た。このときの結晶化の深さは約30nmであり、結晶の粒径は10~50nmの多結晶であった。また、この領域は先に注入したホウソイオンの存在によってp型半導体となったものと考えられた。さらに、同じ方法で作製したこの半導体の移動度としては、ホール移動度で10~30cm<sup>2</sup>/V·sec、電子移動度では20~500cm<sup>2</sup>/V·secが得られた。こうして図5(B)を得た。

【0021】その後、先に形成した酸化珪素もしくは窒化珪素被膜を除去し、その後に新たに、同様な方法あるいは熱酸化法によってゲート絶縁膜となる厚さ1.0~3.0nm、例えば1.5nmの酸化珪素被膜511を形成し、さらに、全体にアルミニウム被膜をスパッタリング法もしくは真空蒸着法、あるいは有機金属CVD法等の公知の成膜技術を用いて厚さ100~1000nm、例えば300nm形成し、これを選択的に除去して幅20.0nm~10μm、例えば1μmのゲート電極506を形成した。このとき、該ゲート電極上には先のエッチング工程で使用したフォトレジスト512(厚さ約2μm)をそのまま残置せしめた。またゲート絶縁膜には100ppm程度のフッソを添加したが、これはゲート絶縁膜がホットエレクトロン等によって損傷するのを防ぐためである。こうして、図5(C)を得た。

【0022】次に、イオン注入法によって、リンイオンを1平方cmあたり10の1.5乗個から1.0の1.7乗個注入した。しかしながら、レジストとゲート電極の存在によって、ゲート電極の下部のチャネル形成領域にはイオンは注入されない。こうして、図5(D)に示されるごとく、ソース(となるべき領域)503とドレイン(となるべき領域)504、およびチャネル形成領域505を得た。

【0023】さらに、これにパワー密度1~1000kW/平方cm、例えば20kW/平方cmの連続発振アルゴンイオナーレーザーによってレーザーアニールをおこない、ゲート電極をマスクとしてソース領域およびドレイン領域を含む領域502bを多結晶化せしめた。このときの領域502の深さは200~500nmであった。領域502の深さはレーザーのパルスの数および出力によって少し変化させることが可能であった。また、このときのレーザーアニールによって残置していたレジストの多くは蒸発してしまったが、そのために下地のゲート電極には大きな影響はなかった。こうして、図5(E)を得た。

【0024】最後にグロー放電プラズマCVD法等の成膜方法を用いて、厚さ0.5~3μm、例えば1μmの酸化珪素被膜507を形成し、これに穴を形成し、さらに、アルミニウム被膜を選択的に形成してソースおよびドレイン電極508、509を形成した。こうして図5

(F)を得た。

【0025】本実施例ではアルミ・ゲイト・セルフアラインタイプMOSFETが得られたが、ゲイト電極を減圧CVD法によって得られる多結晶珪素にすることによってシリコンゲイト・セルフアラインタイプMOSFETが得られる。また、本実施例でのアルミニウムのかわりにアルミニウムと珪素の合金や、モリブデン、タンクステンの金属、あるいはそれらを含む合金を用いても同様な構造の素子を得ることができる。特に、本実施例で示した方法で、ゲート絶縁膜形成に熱酸化法を用いない方法であれば、そのプロセス最高温度は300度C以下であり、さらに150度C以下の低温化も可能なため、耐熱性のない液晶材料や他の有機機能性材料との組合せが極めて容易となる。また、ゲート絶縁膜形成に熱酸化法を用いたとしても、それ以後のプロセス最高温度は300度C以下に抑えられるから、実施例に示したようにアルミニウム・ゲイト電極を形成することも可能である。したがって、他の部分の配線に使用するアルミニウム被膜の一部を使用してゲート電極とすることも可能である。

【0026】【実施例2】図6にしたがって、本発明によるTFTとモノリシック半導体集積回路とを組み合わせた例を示す。図6(A)は、p型単結晶珪素601上のフィールド絶縁物607に囲まれた領域に形成された2つの絶縁ゲート型電界効果トランジスタ(FET)を示し、602~604はn型の半導体領域であり、ソースもしくはドレイン領域として機能する。さらに、605と606は多結晶珪素からなるゲート電極である。

【0027】図6(B)は、図6(A)で示される半導体装置の上に層間絶縁膜608を平坦に形成し、さらにその上に本発明によるTFTを形成し、電界効果トランジスタ間の配線をおこなったものを示す。すなわち、図において609はn型の半導体層であり、610~612は該半導体層上に形成されたp型の半導体領域であり、これはソースもしくドレインとして機能する。さらに613と614はチャネル領域であり、その上にはゲート電極615と616が形成されている。

【0028】単結晶半導体基板上に設けられた電界効果トランジスタのゲート電極にかかる電圧によってその上に形成されたTFTが誤って動作しないようにチャネル形成領域613と614はゲート電極605と606と重ならないように形成されている。また、このように形成することによって、ゲート電極616とn型半導体領域603、およびゲート電極606とp型半導体領域との配線が極めて容易におこなえる。なぜならば、ゲート電極616はn型半導体領域603の真上にあり、ゲート電極606はp型半導体領域611の真下に存在するからである。また、ゲート電極616をアルミニウムで形成する場合にはこれらの配線とゲート電極616とを同時に同じ材料で形成することも可能である。すなわ

ち、実施例1の方法を用いれば容易におこなえる。

【0029】図6 (C)は、図6 (B)で示される半導体装置の回路図を示す。この回路はいわゆる完全CMOS型SRAMで記憶素子部分に用いられる回路である。本実施例では、FETにはNMOS、TFTにはPMOSを用いたが、TFTではホール移動度を大きくすることは難しいので、実施例とは逆にFETにはPMOS、TFTにはNMOSを用いることによって、双方の移動度を平均させることによって装置の特性を向上させてもよい。

## 【0030】

【発明の効果】本発明によって、スローリークの問題を解決した信頼性の高いTFTを量産することが可能となった。本発明の実施例では、珪素を半導体材料として用いた場合について述べたが、ガリウムヒソやガリウムリン、シリコンゲルマニウム合金等の化合物半導体あるいはゲルマニウム単体を用いてもよい。さらに、実施例2で指摘したように、本発明によるTFTを単結晶半導体基板上に形成された、いわゆるモノリシック半導体集積回路とを組み合わせて、3次元集積回路を作製することも可能である。特にモノリシック半導体集積回路との組合せにおいては、高移動度半導体とともに、スローリーク等が発生しないTFTが要求される。本発明によるTFTはスローリークは極めて抑制され、しきい値電圧での電流の立ち上がりの優れたものであるため、この目的にかなっている。さらに、その中でもSRAM素子としてこれを利用せんとすれば、消費電力を減らすためにゲ

イト電極に電圧がかかっていない、もしくは逆の電圧がかかっているときのドレイン電流が著しく小さいものが要求されるが、本発明のTFTは特にこの目的には適している。

## 【図面の簡単な説明】

【図1】従来の例を示す。

【図2】本発明の1例を示す。

【図3】本発明の構成によって得られるゲート電圧とドレイン電流の関係(B)および従来の構成において得られるゲート電圧とドレイン電流の関係(A)を示したものである。

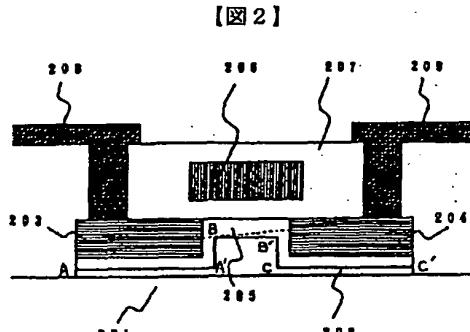
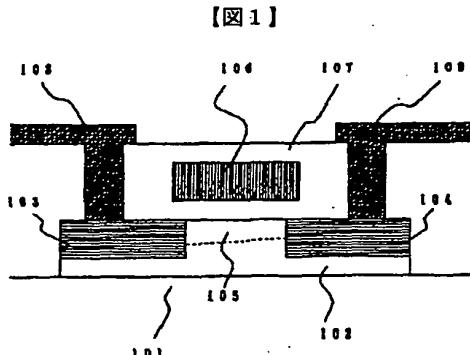
【図4】本発明の構成を作製するための例を示したものである。

【図5】本発明の実施例の構成を示す。

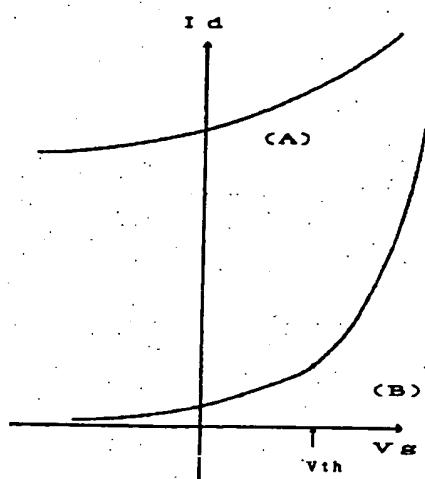
【図6】本発明と従来の半導体集積回路を組み合わせた例を示す。

## 【符号の説明】

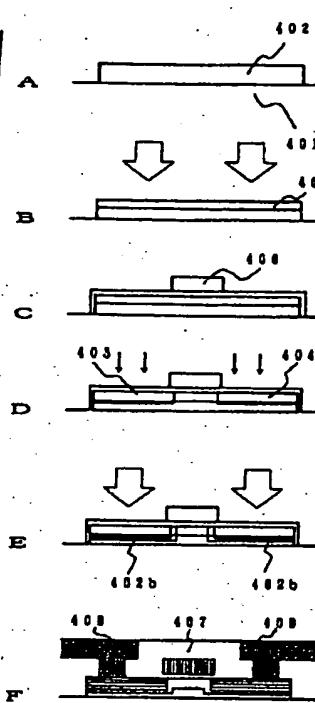
- |     |     |       |          |
|-----|-----|-------|----------|
| 101 | ・・・ | 基板    |          |
| 102 | ・・・ | 半導体被膜 |          |
| 201 | 103 | ・・・   | ソース領域    |
|     | 104 | ・・・   | ドレイン領域   |
|     | 105 | ・・・   | チャネル形成領域 |
|     | 106 | ・・・   | ゲート電極    |
|     | 107 | ・・・   | 層間絶縁膜    |
|     | 108 | ・・・   | ソース電極    |
|     | 109 | ・・・   | ドレイン電極   |



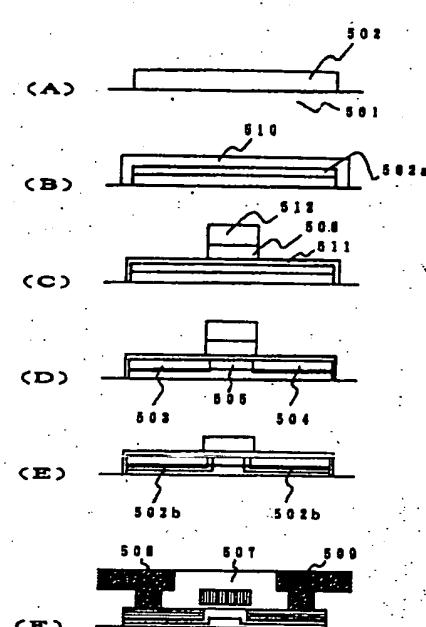
【図3】



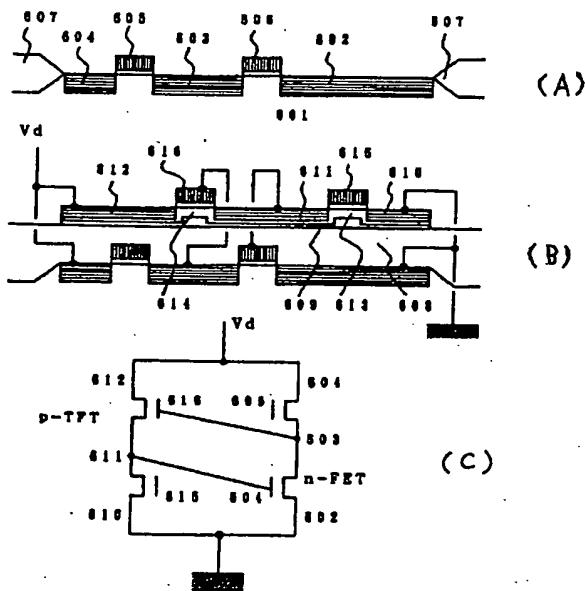
【図4】



【図5】



【図6】



フロントページの続き